

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-73095

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl.⁶

G 0 6 F 12/00

識別記号

5 6 0 A

庁内整理番号

9366-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21) 出願番号

特願平5-217172

(22) 出願日

平成5年(1993)9月1日

(71) 出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72) 発明者 井川 康宏

山梨県甲府市大津町1088-3 甲府日本電
気株式会社内

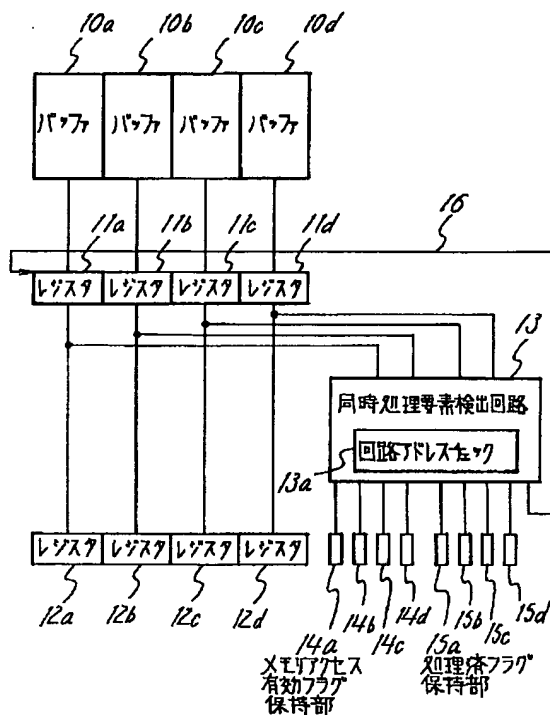
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 リストベクトル処理装置

(57) 【要約】

【構成】 同時処理要素検出回路にアドレスチェック回路を設け、このアドレスチェック回路において同時処理を行なう複数の要素のメモリストアアドレスをチェックし、メモリストアアドレスが一致するものが存在するとき、それらのすべてに処理済みフラグを付与し、かつリストベクトルの順序が最後の要素に対してのみメモリアクセス有効フラグを付与する。

【効果】 同じメモリストアアドレスを有する要素のうちのリストベクトルの順序が最後の要素のみをメモリにストアする処理を行い、他の要素のメモリストア処理を行わないようにすることにより、メモリアクセスの回数を削減することが可能になるという効果があり、従って処理性能を向上させることが可能になる。



1

【特許請求の範囲】

【請求項1】 複数のリストベクトルの要素をリストベクトルの順番に従って格納し同時に読出すことが可能なバッファと、前記バッファから読出した前記複数のリストベクトルの要素を格納する第一のレジスタ群と、前記第一のレジスタ群に格納した前記複数のリストベクトルの要素を次のタイミングで格納する第二のレジスタ群と、前記第一のレジスタ群に格納した前記複数のリストベクトルの要素のうちの同時処理が可能な要素を検出する同時処理要素検出回路と、前記第一のレジスタ群に格納した前記複数のリストベクトルの要素の中の同じメモリストアアドレスを有する要素を検出するアドレスチェック回路と、前記第一のレジスタ群に格納した前記複数のリストベクトルの要素のそれぞれに対して与えられるメモリアクセス有効フラグを保持するメモリアクセス有効フラグ保持部と、前記第一のレジスタ群に格納した前記複数のリストベクトルの要素のそれぞれに対して与えられる処理済みフラグを保持する処理済みフラグ保持部とを備え、前記アドレスチェック回路によって前記第一のレジスタ群に格納した前記複数のリストベクトルの要素の中に同じメモリストアアドレスを有する要素が存在することを検出したとき、それらのすべてに対して処理済みフラグを与え、それらの中のリストベクトルの順番が最終の要素に対してのみメモリアクセス有効フラグを与えることを含むことを特徴とするリストベクトル処理装置。

【請求項2】 第一のレジスタ群に格納した複数のリストベクトルの要素の中に第二のレジスタ群に格納した複数のリストベクトルの要素のメモリストアアドレスと同じメモリストアアドレスを有するものが存在するか否かを検出する第二のアドレスチェック回路と、前記第二のアドレスチェック回路によって検出した前記第一のレジスタ群の要素に対するメモリリクエスト有効フラグを生成してメモリリクエスト有効フラグ保持部にセットするメモリリクエスト生成回路とを備え、メモリアクセス有効フラグ保持部にセットされているメモリアクセス有効フラグと前記メモリリクエスト有効フラグとの一致を調べてそれらが一致するとき前記メモリアクセス有効フラグをリセットすることを含むことを特徴とする請求項1記載のリストベクトル処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報処理装置のリストベクトル処理装置に関し、特にそのリストベクトルのストア動作に関する。

【0002】

【従来の技術】 図3は従来のリストベクトル処理装置の一例を示すブロック図である。

【0003】 情報処理装置のリストベクトル処理装置における従来のリストベクトルのストア手段は、各要素の

2

並列処理を実現するため、図3に示すように、リストベクトルの供給源のバッファ20a~20dから一定数

(図3の例では4個)の要素をそれぞれ対応するレジスタ21a~21dに各要素の順番に従って格納する。レジスタ21a~21dに格納された要素は、同時処理要素検出回路23によって同時処理が可能な要素が検出される。同時処理可能な要素は、メモリポートの競合がなく一度にページ変換が可能である等の条件によって決定される。同時処理要素検出回路23において検出された同時処理可能な要素は、各要素毎に対応して設けられているメモリアクセス有効フラグ保持部24a~24dにメモリアクセス有効フラグがセットされる。メモリアクセス有効フラグがセットされた要素は、同じタイミングでそれぞれ対応するレジスタ22a~22dに格納されてメモリにアクセスされる。

【0004】 レジスタ21a~21dに格納された4個の要素のすべてが同時処理要素検出回路23によって同時処理ができないと検出されたときは、同時処理要素検出回路23は、信号線26によってレジスタ21a~21dをホールドし、次のタイミングにおいて、同時処理要素検出回路23によって再度同時に処理可能な要素を検出する。このようにして、レジスタ21a~21dに格納したすべての要素がメモリにアクセスされるまでレジスタ21a~21dをホールドし、すべての要素がメモリにアクセスされたとき、バッファ20a~20dから次の一定数の要素を格納し、新たに同時に処理可能な要素の検出を行って同様な処理を行っている。

【0005】

【発明が解決しようとする課題】 上述したような従来のリストベクトル処理装置は、リストベクトルの要素のなかに、同一アドレスにストアする要素が複数個存在するとき、同時処理要素検出回路は、同一アドレスの要素はメモリポートが競合するために同時処理ができないと判断し、別々のタイミングで処理する。このため並列処理ができないという問題点を有している。また別々のタイミングで処理するとき、メモリバンクが同一であるためにメモリバンクの競合が発生し、前の要素の処理が終わるまでメモリアクセスが中断されるため、処理性能が低下するという問題点も有している。

【0006】

【課題を解決するための手段】 本発明のリストベクトル処理装置は、複数のリストベクトルの要素をリストベクトルの順番に従って格納し同時に読出すことが可能なバッファと、前記バッファから読出した前記複数のリストベクトルの要素を格納する第一のレジスタ群と、前記第一のレジスタ群に格納した前記複数のリストベクトルの要素を次のタイミングで格納する第二のレジスタ群と、前記第一のレジスタ群に格納した前記複数のリストベクトルの要素のうちの同時処理が可能な要素を検出する同時処理要素検出回路と、前記第一のレジスタ群に格納し

3

た前記複数のリストベクトルの要素の中の同じメモリストアアドレスを有する要素を検出するアドレスチェック回路と、前記第一のレジスタ群に格納した前記複数のリストベクトルの要素のそれぞれに対して与えられるメモリアクセス有効フラグを保持するメモリアクセス有効フラグ保持部と、前記第一のレジスタ群に格納した前記複数のリストベクトルの要素のそれぞれに対して与えられる処理済みフラグを保持する処理済みフラグ保持部とを備え、前記アドレスチェック回路によって前記第一のレジスタ群に格納した前記複数のリストベクトルの要素の中に同じメモリストアアドレスを有する要素が存在することを検出したとき、それらのすべてに対して処理済みフラグを与え、それらの中のリストベクトルの順番が最終の要素に対してのみメモリアクセス有効フラグを与えることを含むものであり、更に、第一のレジスタ群に格納した複数のリストベクトルの要素の中に第二のレジスタ群に格納した複数のリストベクトルの要素のメモリストアアドレスと同じメモリストアアドレスを有するものが存在するか否かを検出する第二のアドレスチェック回路と、前記第二のアドレスチェック回路によって検出した前記第一のレジスタ群の要素に対するメモリリクエスト有効フラグを生成してメモリリクエスト有効フラグ保持部にセットするメモリリクエスト生成回路とを備え、メモリアクセス有効フラグ保持部にセットされているメモリアクセス有効フラグと前記メモリリクエスト有効フラグとの一致を調べてそれらが一致するとき前記メモリアクセス有効フラグをリセットすることを含むものである。

【0007】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0008】図1は本発明の第一の実施例を示すブロック図である。

【0009】図1において、バッファ10a~10dは、リストベクトルをストアするとき、リストベクトルの各要素をリストベクトルの順番に従って格納するバッファであり、同時に4個の要素を読出すことが可能な構成となっている。レジスタ11a~11dは、バッファ10a~10dから読出された4個のリストベクトルの要素を格納するレジスタ群である。同時処理要素検出回路13は、レジスタ11a~11dに格納されている各要素のうち、同じタイミングでメモリにアクセスすることができる（同時処理が可能な）要素を検出する。同時処理が可能であるか否かは、メモリポートの競合がなく一度にページ変換が可能である等の条件によって決定される。アドレスチェック回路13aは、レジスタ11a~11dに格納されている4個のリストベクトルの要素のうちの同じメモリストアアドレスを有する要素を検出する。レジスタ12a~12dは、レジスタ11a~11dに格納されている各要素を次のタイミングにおいて

4

格納するレジスタである。メモリアクセス有効フラグ保持部14a~14dは、同時処理要素検出回路13によって検出された各要素に対するメモリアクセス有効フラグを格納する。例えば、メモリアクセス有効フラグ保持部14aにメモリアクセス有効フラグがセットされていれば、レジスタ12aのリストベクトルの要素がメモリアクセスが有効となり、その要素のストアデータがメモリに格納される。処理済みフラグ保持部15a~15dは、同時処理要素検出回路13によって各要素が処理済みであるか未処理であるかを検出されたときの処理済みフラグを格納する。同時処理要素検出回路13は、レジスタ11a~11dに格納されている4個のリストベクトルの要素の中に1個でも未処理の要素があるときは、信号線16によってレジスタ11a~11dに対してホールド指示を出してそれをホールドさせ、次のタイミングにおいて、同時処理要素検出回路13は、未処理の要素を対象として同時処理要素の検出を行う。上記の処理は、パイプラインで処理される。

【0010】リストベクトルのストア処理において、複数の要素が同じメモリアドレスにストアデータを格納した場合は、最後にアクセスした要素のストアデータのみがそのメモリアドレスに残る。本実施例は、このことに着目し、同じメモリアドレスの要素の中のリストベクトルの順序が最後の要素のみをメモリアクセスし、それ以外の要素はメモリアクセスを縮退することによってリストベクトルのストア処理の高速化を図ったものである。

【0011】すなわち、従来のリストベクトル処理装置においては、レジスタ11a~11dに格納されている4個のリストベクトルの要素が全て同じメモリアドレスを有する要素である場合は、メモリポートの競合のチェックによってメモリポートが同じであることが判明するために同時処理が不可能であり、1個ずつ4回の処理を行う4サイクルの処理となるが、図1の実施例においては、アドレスチェック回路13aによってレジスタ11a~11dに格納されている4個のリストベクトルの要素がすべて同じメモリストアアドレスを有することが検出されると、この4個の要素はすべてを同時処理することが可能であると判断され、1サイクルの処理となる。

【0012】アドレスチェック回路13aによって検出された同じメモリストアアドレスを有する4個のリストベクトルの要素は、各要素のそれぞれに対応した処理済みフラグ保持部15a~15dに処理済みフラグが格納される。一方同時処理要素検出回路13は、アドレスチェック回路13aによって同じメモリストアアドレスを有する4個のリストベクトルの要素の中のリストベクトルの順序が最後の要素を検出し、その要素に対応するメモリアクセス有効フラグ保持部14dにメモリアクセス有効フラグをセットする。これにより、レジスタ11dに格納されている要素のストアデータがメモリにストアされる。レジスタ11a~11cに格納されている3個

5

の要素は、モリアクセス有効フラグ保持部14a~14cにモリアクセス有効フラグがセットされないが、対応する処理済みフラグ保持部15a~15cに処理済みフラグがセットされるため、ストアデータがメモリにストアされないで処理が終了することになる。そしてレジスタ11a~11dには次の4個のリストベクトルの要素が格納されて次の処理が行われる。このようにして、同じメモリストアアドレスを有する要素が複数個存在するとき、メモリにストアする処理を高速に行うことができる。

【0013】図2は本発明の第二の実施例を示すブロック図である。

【0014】図2において、バッファ30a~30dは、リストベクトルをストアするとき、リストベクトルの各要素をリストベクトルの順番に従って格納するバッファであり、同時に4個の要素を読出すことが可能な構成となっている。レジスタ31a~31dは、バッファ30a~30dから読出された4個のリストベクトルの要素を格納するレジスタ群である。同時処理要素検出回路34は、レジスタ31a~31dに格納されている各要素のうち、同時に処理可能な要素を検出する。アドレスチェック回路34aは、レジスタ31a~31dに格納されている4個のリストベクトルの要素のうちの同じメモリストアアドレスを有する要素を検出する。レジスタ32a~32dは、レジスタ31a~31dに格納されている各要素を次のタイミングにおいて格納するレジスタである。モリアクセス有効フラグ保持部35a~35dは、同時処理要素検出回路34によって検出された各要素に対するモリアクセス有効フラグを格納する。例えば、モリアクセス有効フラグ保持部35aにメモリアクセス有効フラグがセットされていれば、レジスタ32aのリストベクトルの要素がメモリのアクセスが有効となり、その要素のストアデータがメモリに格納される。処理済みフラグ保持部36a~36dは、同時処理要素検出回路34によって各要素が処理済みであるか未処理であるかを検出されたときの処理済みフラグを格納する。同時処理要素検出回路34は、レジスタ31a~31dに格納されている4個のリストベクトルの要素の中に1個でも未処理の要素があるときは、信号線40によってレジスタ31a~31dに対してホールド指示を出してそれをホールドさせ、次のタイミングにおいて、同時処理要素検出回路34は、未処理の要素を対象として同時処理要素の検出を行う。アドレスチェック回路37は、レジスタ32a~32dに格納されているリストベクトルの要素とレジスタ31a~31dに格納されている後続の要素とが同じメモリストアアドレスを有しているか否かをチェックする。メモリクエスト生成回路38は、同時処理要素検出回路34によってメモリアクセス有効フラグ保持部35a~35dにセットされたメモリアクセス有効フラグと、アドレスチェック回路

6

37によってチェックされた同じメモリストアアドレスを有する後続の要素との一致を調べ、それらが一致しているときにメモリクエスト有効フラグを生成してメモリクエスト有効フラグ保持部39a~39dにセットする。このメモリクエスト有効フラグは、図1の例のモリアクセス有効フラグの同じ機能を有しており、メモリクエスト有効フラグがセットされているメモリアクセス有効フラグ保持部35a~35dに対応するレジスタ33a~33dに格納されている要素のストアデータがメモリにストアされる。

【0015】アドレスチェック回路34aは、レジスタ31a~31dに格納されている4個のリストベクトルの要素のメモリストアアドレスが同じであるか否かを検出する回路であり、一方、アドレスチェック回路37は、レジスタ32a~32dに格納されている先行の要素とレジスタ31a~31dに格納されている後続の要素とのメモリストアアドレスが同じであるか否かを検出する回路である。先行の要素のなかに後続の要素とメモリストアアドレスが一致するものがあつたときは、後続の要素のみをメモリアクセスすればよいので、後続の要素の一つのメモリストアアドレスが一致する先行の要素のメモリアクセスを抑止する。このため、同時処理要素検出回路34によって、メモリアクセス有効フラグを生成してメモリアクセス有効フラグ保持部35a~35dにセットし、メモリクエスト生成回路38によって、アドレスチェック回路37によって検出した後続の要素のメモリストアアドレスと一致するメモリストアアドレスを有する先行の要素のメモリクエスト有効フラグを生成してメモリクエスト有効フラグ保持部39a~39dにセットし、メモリアクセス有効フラグとメモリクエスト有効フラグとが一致するとき後続の要素のみをメモリアクセスして先行の要素のメモリアクセスを抑止する。このよう構成することにより、図1の実施例よりもメモリアクセスの回数を更に削減することが可能になる。

【0016】

【発明の効果】以上説明したように、本発明のリストベクトル処理装置は、同時処理要素検出回路にアドレスチェック回路を設け、このアドレスチェック回路において同時処理を行なう複数の要素のメモリストアアドレスをチェックし、メモリストアアドレスが一致するものが存在するとき、それらのすべてに処理済みフラグを付与し、かつリストベクトルの順序が最後の要素に対してのみメモリアクセス有効フラグを付与することにより、同じメモリストアアドレスを有する要素のうちのリストベクトルの順序が最後の要素のみをメモリにストアする処理を行い、他の要素のメモリストア処理を行わないようにすることにより、メモリアクセスの回数を削減することが可能になるという効果があり、従って処理性能を向上させることが可能になるという効果がある。

7

【図面の簡単な説明】

【図1】本発明の第一の実施例を示すブロック図である。

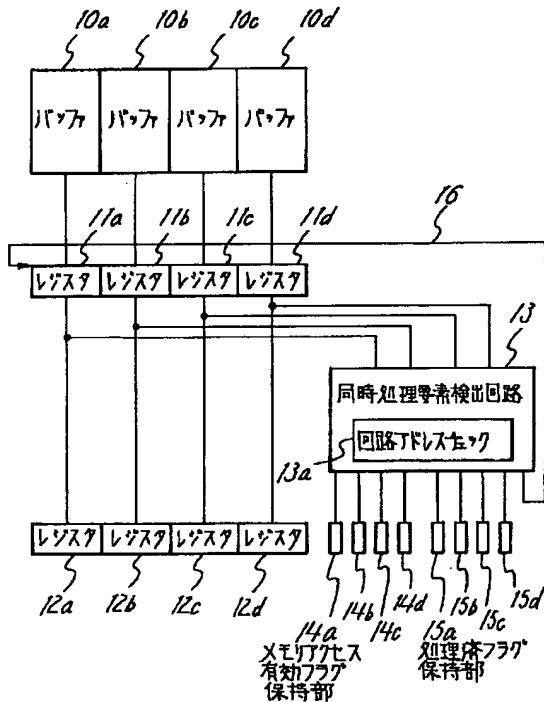
【図2】本発明の第二の実施例を示すブロック図である。

【図3】従来のリストベクトル処理装置の一例を示すブロック図である。

【符号の説明】

10a~10d バッファ
11a~11d レジスタ
12a~12d レジスタ
13 同時処理要素検出回路
13a アドレスチェック回路
14a~14d メモリアクセス有効フラグ保持部
15a~15d 処理済みフラグ保持部
16 信号線
20a~20d バッファ

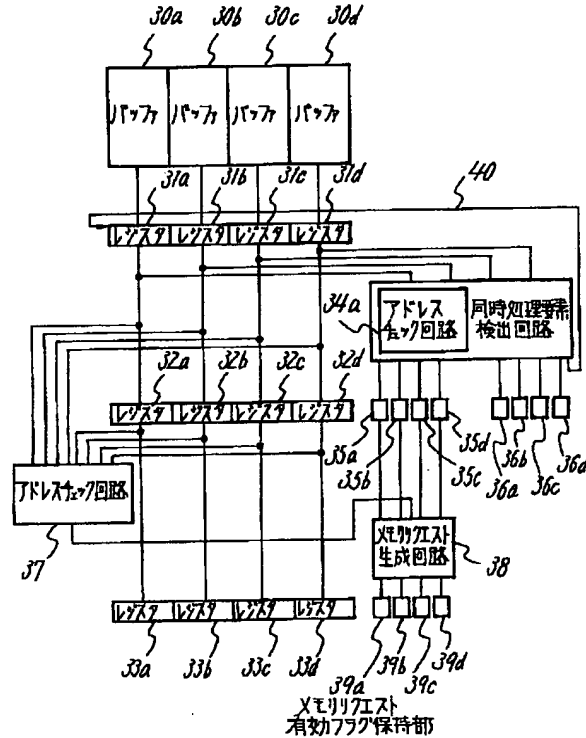
【図1】



8

21a~21d レジスタ
22a~22d レジスタ
23 同時処理要素検出回路
24a~24d メモリアクセス有効フラグ保持部
26 信号線
30a~30d バッファ
31a~31d レジスタ
32a~32d レジスタ
33a~33d レジスタ
10 34 同時処理要素検出回路
34a アドレスチェック回路
35a~35d メモリアクセス有効フラグ保持部
36a~36d 処理済みフラグ保持部
37 アドレスチェック回路
38 メモリリクエスト生成回路
39a~39d メモリリクエスト有効フラグ保持部
40 信号線

【図2】



【図3】

